

## Electronic circuit for an active implantable medical device and method of manufacture

Patent Number:  US6256206

Publication date: 2001-07-03

Inventor(s): VAN CAMPENHOUT YVES (FR)

Applicant(s): ELA MEDICAL SA (US)

Requested Patent:  EP0923130

Application Number: US19980210074 19981211

Priority Number(s): FR19970015800 19971212

IPC Classification: H05K1/11

EC Classification: H01L23/538D, H01L25/16

Equivalents:  FR2772516,  JP11262537

---

### Abstract

---

An electronic circuit, particularly for an active implantable medical device such as a cardiac pacemaker or a defibrillator, and a process of realization (manufacture/assembly). This electronic circuit includes at least one chip (12), as well as other associated electronic components (18), placed on a substrate (10). The chip is a bare, exposed chip, that is not one embedded in a case or encapsulated, having on its face electrical contact pads turned to the exterior, such that the chip is buried in the thickness of the substrate, preferably near or at the bottom of a cavity (30). The cavity is filled with an isolating resin (38), up to the surface of the substrate and covering the chip, except for connection threads (34,36) connected to interconnection conductors (24, 26, 28) of the substrate. It is thus possible to place at least some supplementary components superimposed above the chip and, further, to foresee above the chip a plurality of supplementary layers of interconnections. The result is a more compact, space efficient electrical circuit

---

Data supplied from the **esp@cenet** database - I2

Best Available Copy

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 923 130 A1

(12)

## DEMANDE DE BREVET EUROPEEN

(43) Date de publication:

16.06.1999 Bulletin 1999/24

(51) Int. Cl.<sup>6</sup>: H01L 23/538, H01L 23/485,

H01L 25/16, H01L 25/065,

H01L 21/58, H01L 23/498

(21) Numéro de dépôt: 98403144.3

(22) Date de dépôt: 14.12.1998

(84) Etats contractants désignés:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

Etats d'extension désignés:

AL LT LV MK RO SI

(30) Priorité: 12.12.1997 FR 9715800

(71) Demandeur:

ELA MEDICAL (Société anonyme)  
F-92541 Montrouge (FR)

(72) Inventeur: van Campenhout, Yves

94190 Saint George (FR)

(74) Mandataire:

Dupuis-Latour, Dominique et al

Avocat à la Cour,

Cabinet Bardelie, Pagenberg & Partner,

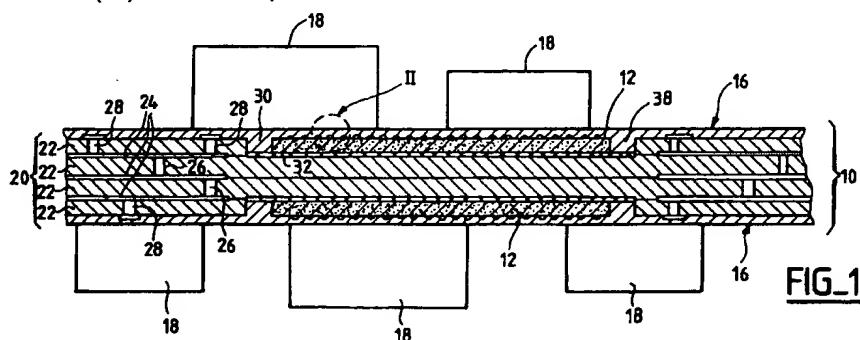
14 boulevard Malesherbes

75008 Paris (FR)

(54) Circuit électronique, notamment pour un dispositif médical implantable actif tel qu'un stimulateur ou défibrillateur cardiaque, et son procédé de réalisation

(57) Ce circuit électronique comporte au moins une puce (12) reportée, ainsi que d'autres composants électroniques associés (18), sur un substrat (10). La puce est une puce nue non encapsulée portant des plages de contact électrique, et cette puce est enterrée dans l'épaisseur du substrat, au fond d'une cavité (30) remplit d'une résine isolante (38) affleurant le plan du sub-

strat et recouvrant la puce à l'exception de fils de liaison reliés à un motif d'interconnexion (24, 26, 28) au sein du substrat. Il est ainsi possible de reporter au moins certains des composants supplémentaires au-dessus de la puce et de prévoir au-dessus de la puce une pluralité de couches d'interconnexion supplémentaires.



**Description**

[0001] La présente invention concerne la technologie des circuits électroniques, notamment des circuits électroniques de dispositifs médicaux implantables actifs tels que les stimulateurs ou défibrillateurs cardiaques.

[0002] En effet, dans ces domaines, la miniaturisation des circuits est un paramètre essentiel, et l'on se trouve souvent confronté à la difficulté consistant à trouver un compromis entre, d'une part, l'augmentation du nombre et de la taille des composants électroniques pour disposer d'appareils intégrant un plus grand nombre de fonctions et, d'autre part, la miniaturisation de plus en plus poussée du circuit, de manière à ne pas empiéter sur le volume nécessaire à la pile d'alimentation.

[0003] Jusqu'à présent, ces circuits sont habituellement réalisés sur un substrat double face portant, d'un côté, les circuits intégrés incorporant les diverses puces encapsulées et, de l'autre côté, les composants discrets passifs (condensateurs, résistances, etc.) et actifs (diodes).

[0004] L'un des buts de l'invention est de proposer une nouvelle technologie de réalisation d'un circuit électronique procurant un gain de place important, afin de pouvoir réduire les dimensions du circuit dans des proportions très importantes.

[0005] Un autre but de l'invention est la rationalisation du processus de fabrication des circuits, en permettant notamment un report direct des puces sur le substrat, ces puces étant directement obtenues après découpe d'une tranche, sans traitement additionnel ni encapsulation.

[0006] Un autre but encore de l'invention est de permettre une plus grande densité d'intégration des composants discrets et une plus grande densité de routage des diverses interconnexions, en permettant l'utilisation de la surface déjà occupée par les puces pour l'adjonction de couches d'interconnexion supplémentaires et/ou de composants additionnels.

[0007] Le procédé de l'invention, qui concerne le report d'une puce de microcircuit sur un substrat destiné à recevoir cette puce ainsi que d'autres composants électroniques associés pour former un circuit électronique, est caractérisé par les étapes suivantes : a) obtention d'une puce nue individualisée portant sur l'une de ses faces des plages de contact électrique ; b) obtention d'un substrat incorporant en son sein des motifs d'interconnexion et comportant sur au moins l'une de ses faces au moins une cavité de profondeur et d'étendue supérieures à celles de la puce ; c) mise en place d'au moins une puce au fond de la cavité ; d) report sur les plages de contact de la puce de fils de liaison électrique émergeant au-dessus du niveau du substrat ; e) remplissage de la cavité par une résine isolante affleurant le plan du substrat et recouvrant la puce en laissant des fils de liaison émergents ; f) réalisation de connexions électriques entre les fils de liaison émergents et ledit motif d'interconnexion au sein du substrat

; et g) report sur le substrat desdits composants supplémentaires associés.

[0008] Selon diverses formes de mise en oeuvre avantageuses :

- 5 — à l'étape c), au moins une puce est disposée avec ses plages de contact tournées vers l'extérieur ;
- au moins certains des composants supplémentaires de l'étape g) sont reportés au-dessus de la puce ;
- 10 — l'étape c) comporte le collage de la puce au fond de la cavité au moyen d'un film de colle d'épaisseur contrôlée ;
- l'étape f) comporte la formation au-dessus de la puce d'une pluralité de couches d'interconnexion supplémentaires ;
- 15 — à l'étape c), on superpose une pluralité de puces dans la cavité ;
- les étapes b) à g) sont accomplies collectivement sur une plaque de substrat unique portant une pluralité de circuits électroniques, et sont ensuite suivies d'une étape de découpe du substrat pour l'individualisation de ces circuits électroniques.

25 [0009] L'invention vise également, en tant que produit industriel nouveau, un tel circuit électronique, c'est-à-dire comportant au moins une puce reportée, ainsi que d'autres composants électroniques associés, sur un substrat, dans lequel la puce est une puce nue non encapsulée, portant des plages de contact électrique, et cette puce est enterrée dans l'épaisseur du substrat, au fond d'une cavité remplie d'une résine isolante affleurant le plan du substrat et recouvrant la puce à l'exception de fils de liaison reliés à un motif d'interconnexion disposé au sein du substrat.

30 [0010] D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée ci-dessous d'un exemple de mise en oeuvre, en référence aux dessins annexés.

40 La figure 1 est une vue en coupe partielle d'un circuit double face réalisé selon les enseignements de l'invention.

La figure 2 est une vue agrandie du détail repéré II sur la figure 1.

45 Les figures 3 et 4 montrent à la même échelle, à titre de comparaison, le même circuit réalisé respectivement avec la technologie de l'art antérieur et avec celle de l'invention.

50 La figure 5 illustre une variante de mise en oeuvre de l'invention.

[0011] Sur la figure 1, la référence 10 désigne de façon générale un circuit électronique réalisé selon les enseignements de l'invention, qui est dans cet exemple un circuit double face comportant sur chacune de ses faces une ou plusieurs puces de circuit intégré 12 ainsi que, reportés sur la surface 16, divers composants dis-

crets 18, actifs ou passifs, par exemple des composants CMS.

[0012] De façon caractéristique de l'invention, les puces 12 sont des puces nues, c'est-à-dire des plaquettes directement issues de la tranche de silicium après découpe de celle-ci en composants individuels, sans traitement supplémentaire, enrobage ni encapsulation.

[0013] Les puces 12 comportent en surface des plages de contact ou *pads* 14 (visibles sur le détail de la figure 2) tournées vers le haut ; on exposera plus loin la manière dont est réalisée la prise de contact à ces plages 14.

[0014] Le circuit est réalisé sur un substrat 20 qui, dans cet exemple, est un substrat multicouche incorporant une pluralité de couches isolantes 22 portant des métallisations conductrices 24 reliées entre elles par des vias internes 26, et à des métallisations de surface par des vias externes 28. Ce substrat 20 est un substrat de type classique, généralement réalisé en verre époxy, polyimide ou équivalent.

[0015] De façon également caractéristique de l'invention, ce substrat comporte (dans cet exemple, sur chacune de ses faces) une ou plusieurs cavités 30 dont les dimensions, en surface et en épaisseur, sont légèrement supérieures à celles des puces 12 que ces cavités sont destinées à recevoir. Les cavités peuvent être réalisées par enlèvement de matière, c'est-à-dire par usinage du substrat multicouche après réalisation de celui-ci, ou bien directement au moment de la formation de l'empilement de couches, en prévoyant alors pour la dernière couche une découpe de la taille voulue, qui formera la cavité après superposition aux autres couches, restées pleines.

[0016] La puce 12 est mise en place au fond de la cavité 30 avec interposition d'une épaisseur 32 de colle (par exemple une colle avec trame), permettant de parfaitement maîtriser le positionnement en épaisseur de la puce dans la cavité.

[0017] Une fois collée au fond de la cavité, la puce reçoit sur chacune de ses plages de contact 14 une série de liaisons électriques, par exemple sous forme d'une boule 34 prolongée par une queue verticale 36. Cette prise de contact est réalisée par une technique exposée dans le WO-A-93/24956, dont la demanderesse est co-titulaire et auquel on pourra se référer pour de plus amples détails sur la réalisation des liaisons électriques.

[0018] La cavité 30 est ensuite remplie d'une résine 38, en une quantité qui permet d'enterrer complètement la puce, à l'exception des queues 36 des fils de liaison aux plages de contact 14.

[0019] Le matériau de la résine 38 est un matériau tel qu'un polyimide, une polyphénylquinoxaline, un polysiloxane, une résine époxy ou analogue. Son coefficient de dilatation est choisi pour être le même que celui du matériau du substrat (par exemple 19 ppm pour un substrat en verre époxy), et il est coulé et durci *in situ*, par exemple par exposition aux UV ou passage en tem-

pérature.

[0020] Après durcissement de la résine, le substrat pourvu des puces enterrées est soumis, à une opération de polissage ou rectification de manière à ajuster l'état de surface et couper les queues 36 au ras de la surface obtenue.

[0021] L'étape suivante est une étape de dépôt d'une couche de métallisation (par exemple de nickel), qui est gravée pour réaliser les prises de connexion 40 sur chacune des queues 36, toujours de la manière enseignée par le WO-A-93/24956 précité.

[0022] Le circuit obtenu peut éventuellement recevoir, notamment au-dessus des puces, des couches d'interconnexion supplémentaires réalisées selon la technique dite des "micro-vias". Cette technique consiste à déposer des couches 42 de matériau isolant qui sont gravées pour former des prises de contact 44 traversant l'épaisseur de la couche et reliées à des conducteurs métalliques 46. On peut ainsi superposer plusieurs couches pour augmenter la densité de routage du motif d'interconnexion du circuit.

[0023] L'ensemble reçoit enfin une couche finale 48 qui sera la couche de surface du substrat, et sur laquelle seront reportés les composants discrets 18, généralement des composants CMS.

[0024] Avantageusement, les diverses étapes que l'on vient d'exposer ci-dessus sont opérées sur une plaque de substrat de grande dimension, correspondant à une pluralité de circuits individuels réalisés collectivement et qui seront individualisés ultérieurement par découpe de la plaque.

[0025] La figure 3 est une vue en plan de l'une des faces d'un circuit 10 réalisé conformément aux enseignements de l'art antérieur. Il s'agit d'un circuit double face, où l'une des faces porte les circuits intégrés sous forme de composants encapsulés 18 (au nombre de quatre dans l'exemple illustré) et l'autre face (non visible sur la figure) porte les divers composants discrets. La surface d'un tel circuit est de l'ordre de 900 mm<sup>2</sup>.

[0026] La figure 4 montre, à titre de comparaison, le même circuit réalisé selon les enseignements de l'invention. Il s'agit toujours d'un circuit double face, mais les puces sont enterrées des deux côtés du circuit, et les composants discrets sont reportés sur les deux côtés du circuit, également. La face du circuit visible figure 4 porte la puce qui était celle du circuit de gauche sur la figure 3, mais celle-ci est désormais enterrée dans l'épaisseur du substrat (le contour 50 en tirets illustre sa position) et recouverte de composants discrets tels que 52, reportés au-dessus de cette puce. L'autre face du circuit porte les trois autres puces, ainsi que d'autres composants discrets.

[0027] Grâce à la technologie mise en oeuvre selon l'invention, il est possible de réduire la surface du substrat de 900 à 495 mm<sup>2</sup>, soit un gain de 45 %, avec le même nombre de composants, les mêmes puces et donc exactement les mêmes fonctionnalités que le circuit de l'art antérieur.

[0028] On notera que, outre le gain en surface, l'invention procure un gain en épaisseur de l'ordre de 30 %, grâce à la suppression des boîtiers des puces et à l'incorporation de celles-ci dans l'épaisseur du substrat. Le gain total en volume peut alors atteindre 60%. 5

[0029] Sur la figure 5, on a illustré une variante de mise en oeuvre de l'invention, dans laquelle plusieurs puces sont enterrées dans une même cavité 30. La figure 5 illustre aussi, incidemment, la possibilité d'enterrer des puces sur les deux faces du substrat 10, en y formant des cavités correspondantes 30. 10

[0030] Par exemple, on peut empiler l'une sur l'autre deux puces 12 et 12', en prévoyant des prises de connexion appropriées aux plages de contact des puces. 15

[0031] Divers modes de prise de connexion sont possibles. Ainsi, dans le cas des puces 12, 12' placées dans la cavité supérieure (avec les conventions de la figure) du substrat 20, les puces ont toutes deux leur face portant les plages de contact tournée vers l'extérieur (c'est-à-dire vers l'ouverture de la cavité 30), et les prises de contact avec la puce intérieure 12 se font par des plages de contact situées à la périphérie de cette dernière. On peut de cette manière relier les plages de contact des puces avec des contacts en surface en empilant des puces de dimensions progressivement décroissante (configuration "en pièce montée") ou configurées de tout autre manière appropriée, procurant ainsi une réduction de surface totale encore plus importante (le cas échéant au prix d'une légère augmentation de l'épaisseur du substrat). 20

[0032] Dans le cas des puces 12, 12' placées dans la cavité inférieure, on a illustré (à titre d'exemple) une autre configuration, où la puce intérieure 12 a ses plages de contact tournées vers l'intérieur, c'est-à-dire vers le substrat, et la puce extérieure 12' ses plages de contact tournées vers l'extérieur (les deux puces 12, 12' sont donc montées dos à dos). La prise de contact aux plots de la puce extérieure 12' est effectuée comme précédemment, en revanche la prise de contact aux plots de la puce intérieure 12 est effectuée en 54 directement à des métallisations internes 56 du substrat qui émergent dans la cavité 30. La liaison électrique en 54 peut être réalisée par des techniques connues telles que colle conductrice, "flip-chip", "ball-bonding", etc. La puce extérieure 12' est ensuite posée sur la puce intérieure 12 après réalisation de ces liaisons électriques, et sa liaison électrique est réalisée comme indiqué plus haut. L'enrobage final maintient les puces en place. 25

[0033] De façon générale, l'empilement de plusieurs puces dans une même cavité présente, outre la réduction de la surface occupée, de nombreux avantages en termes de conception des circuits. Ainsi, on peut simplifier le routage par rapport à des puces placées côté à côté lorsque des techniques photolithographiques sont employées pour la réalisation des conducteurs ; de plus, les tolérances de positionnement de deux puces 12 et 12' superposées sont moindres que si ces puces avaient été placées côté à côté sur le substrat. 30

## Revendications

1. Un procédé de report d'une puce de microcircuit sur un substrat destiné à recevoir cette puce ainsi que d'autres composants électroniques associés pour former un circuit électronique, notamment le circuit électronique d'un dispositif médical implantable actif tel qu'un stimulateur ou défibrillateur cardiaque, caractérisé par les étapes suivantes :
  - a) obtention d'une puce nue individualisée (12) portant sur l'une de ses faces des plages de contact électrique (40) ;
  - b) obtention d'un substrat (20) incorporant en son sein des motifs d'interconnexion et comportant sur au moins l'une de ses faces au moins une cavité (30) de profondeur et d'étendue supérieures à celles de la puce ;
  - c) mise en place d'au moins une puce au fond de la cavité ;
  - d) report sur les plages de contact de la puce de fils de liaison électrique (34, 36) émergeant au-dessus du niveau du substrat ;
  - e) remplissage de la cavité par une résine isolante (38) affleurant le plan du substrat et recouvrant la puce en laissant des fils de liaison émergents ;
  - f) réalisation de connexions électriques entre les fils de liaison émergents et ledit motif d'interconnexion (24, 26, 28) au sein du substrat ; et
  - g) report sur le substrat desdits composants supplémentaires associés (18).
35. 2. Le procédé de la revendication 1, dans lequel, à l'étape c), au moins une puce est disposée avec ses plages de contact tournées vers l'extérieur.
3. Le procédé de la revendication 1, dans lequel au moins certains des composants supplémentaires de l'étape g) sont reportés au-dessus de la puce. 40
4. Le procédé de la revendication 1, dans lequel l'étape c) comporte le collage de la puce au fond de la cavité au moyen d'un film de colle (32) d'épaisseur contrôlée. 45
5. Le procédé de la revendication 1, dans lequel l'étape f) comporte la formation au-dessus de la puce d'une pluralité de couches d'interconnexion supplémentaires (42, 44, 46).
6. Le procédé de la revendication 1, dans lequel, à l'étape c), on superpose une pluralité de puces (12, 12') dans la cavité. 55
7. Le procédé de la revendication 1, dans lequel les étapes b) à g) sont accomplies collectivement sur

une plaque de substrat unique portant une pluralité de circuits électroniques, et sont ensuite suivies d'une étape de découpe du substrat pour l'individualisation de ces circuits électroniques.

5

8. Un circuit électronique, notamment le circuit électronique d'un dispositif médical implantable actif tel qu'un stimulateur ou défibrillateur cardiaque, comportant au moins une puce (12) reportée, ainsi que d'autres composants électroniques associés (18), sur un substrat (20), caractérisé en ce que :

- la puce est une puce nue non encapsulée, portant des plages de contact électrique (40), et
- cette puce est enterrée dans l'épaisseur du substrat, au fond d'une cavité (30) remplie d'une résine isolante (38) affleurant le plan du substrat et recouvrant la puce à l'exception de fils de liaison reliés à un motif d'interconnexion (24, 26, 28) disposé au sein du substrat.

10

15

20

9. Le circuit électronique de la revendication 8, dans lequel au moins certains des composants supplémentaires sont reportés au-dessus de la puce.

25

10. Le circuit électronique de la revendication 8, comprenant au-dessus de la puce une pluralité de couches d'interconnexion supplémentaires (42, 44, 46).

30

11. Le circuit électronique de la revendication 8, comprenant une pluralité de puces (12, 12') superposées dans la cavité.

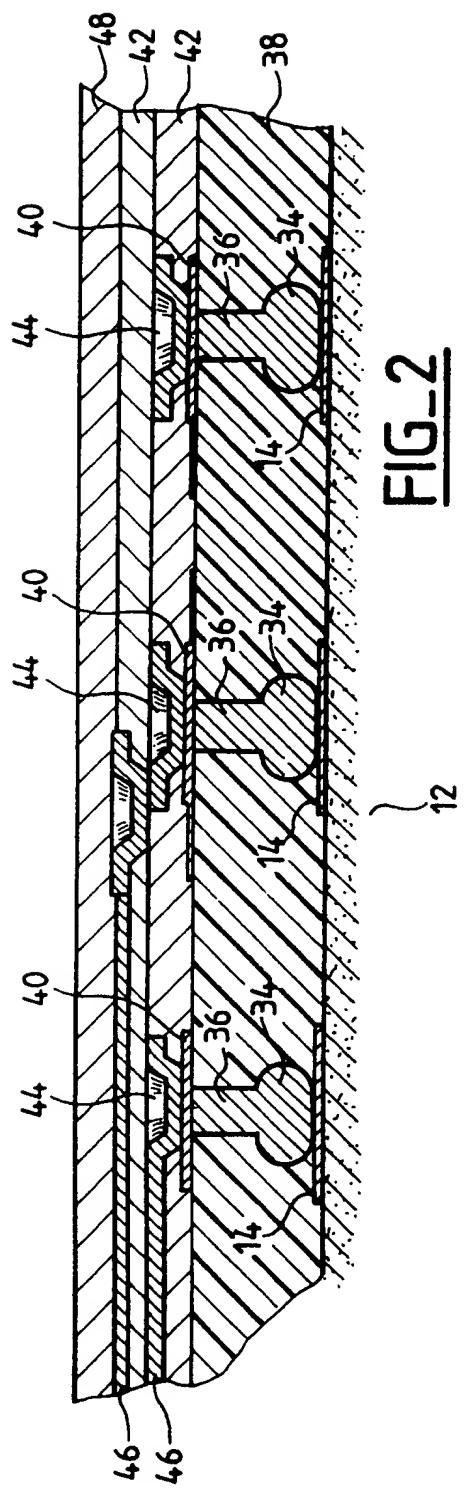
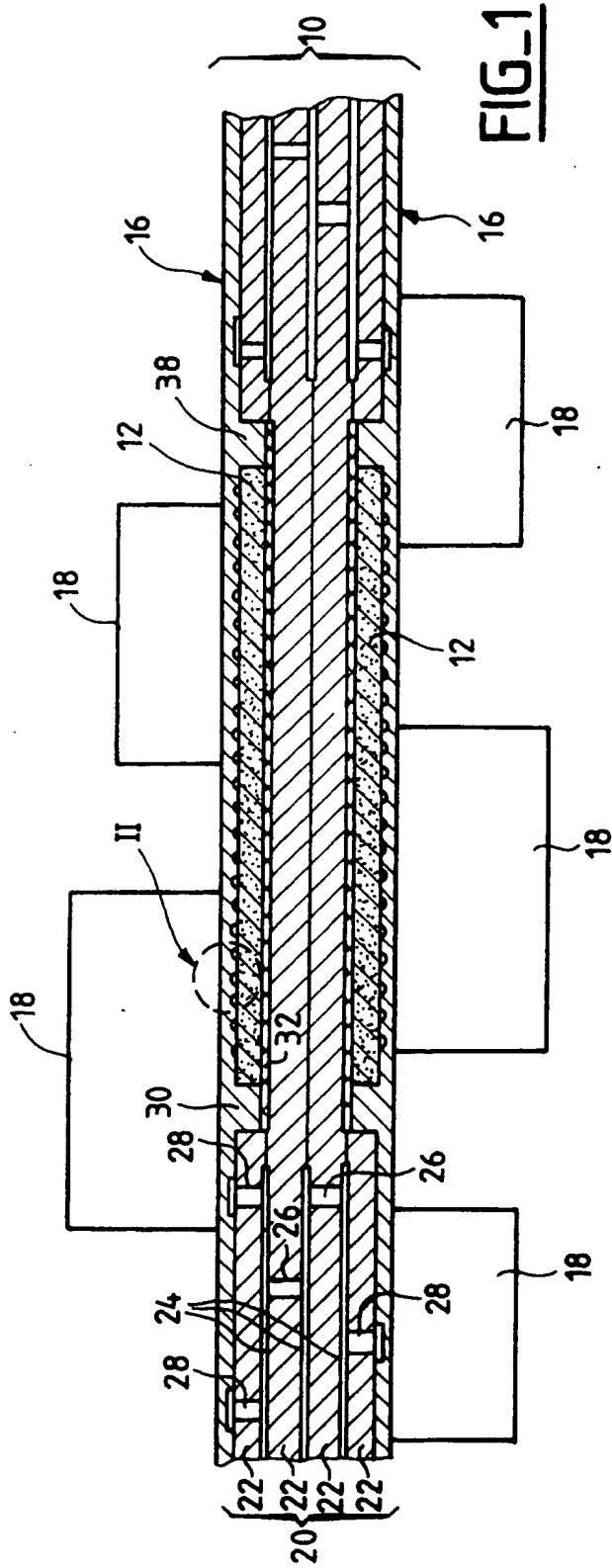
35

40

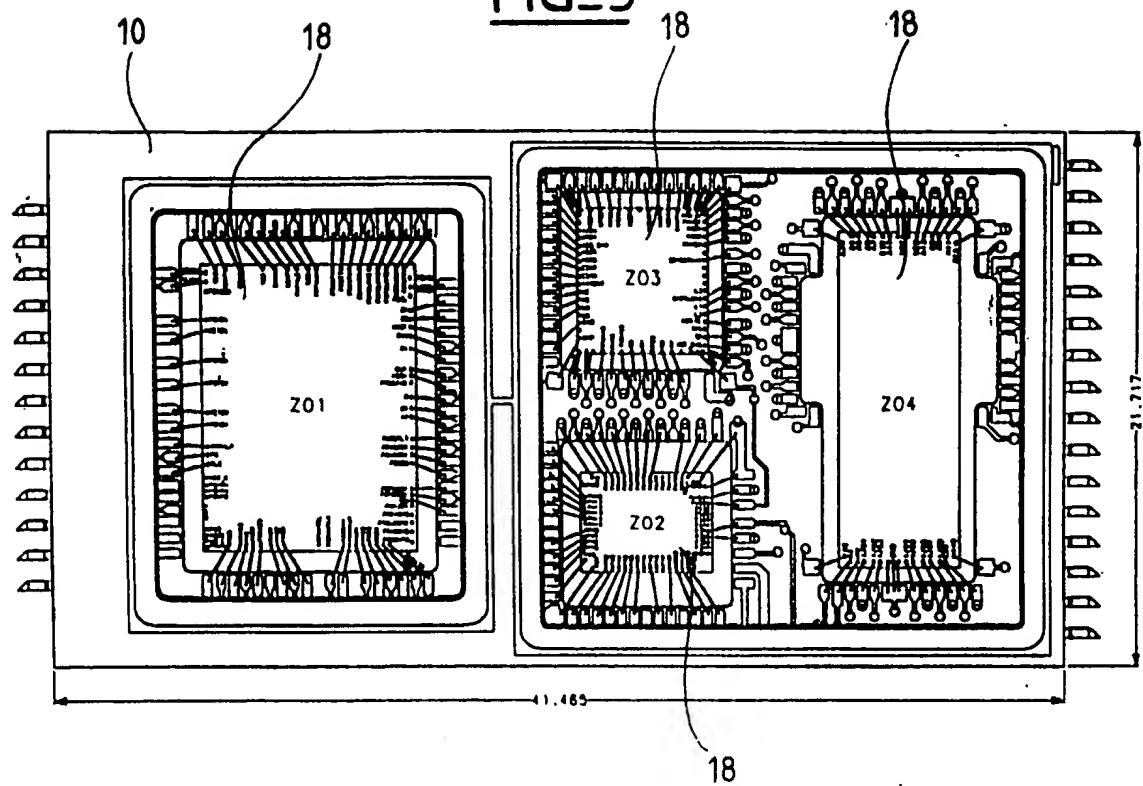
45

50

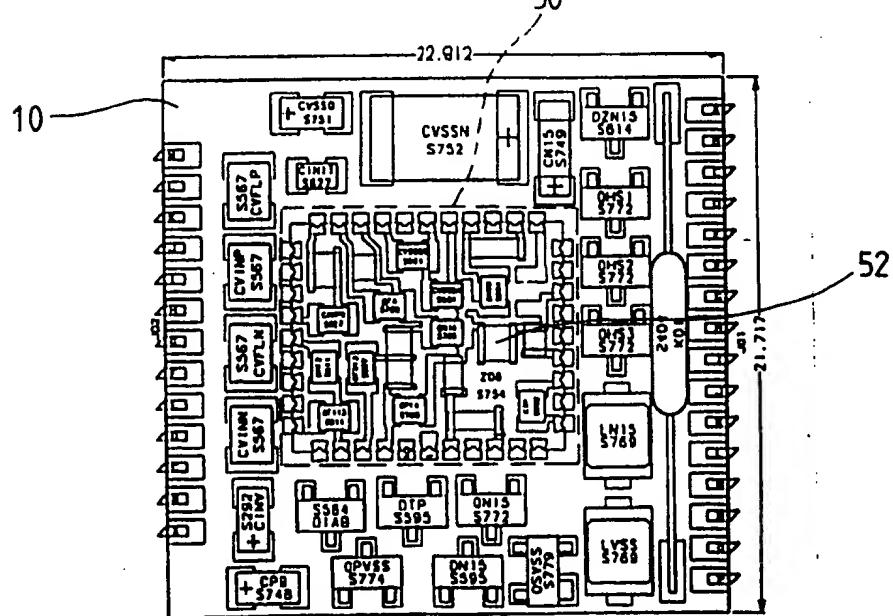
55



FIG\_3



FIG\_4 50



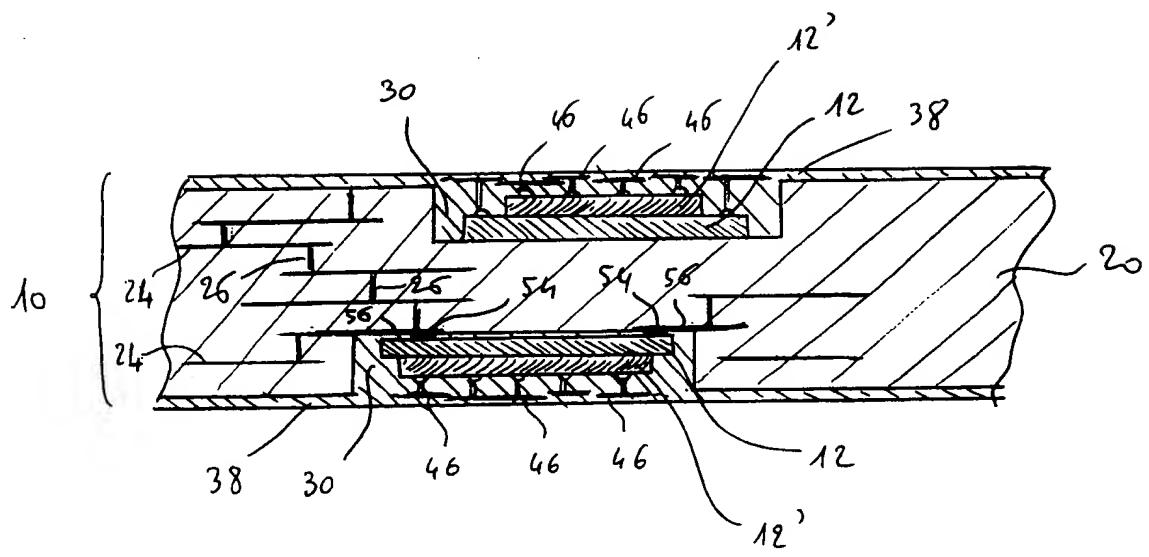


FIG. 5



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 98 40 3144

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
Y	FILLION R A ET AL: "NON-DIGITAL EXTENSIONS OF AN EMBEDDED CHIP MCM TECHNOLOGY" INTERNATIONAL JOURNAL OF MICROCIRCUITS AND ELECTRONIC PACKAGING, vol. 17, no. 4, 1 octobre 1994, pages 392-399, XP000497401 * page 392, colonne de gauche, dernier alinéa - page 393, colonne de gauche, alinéa 2 * * page 394, colonne de droite, dernier alinéa - page 395, colonne de gauche, alinéa 1 * * figures 1,3 *	1-11	H01L23/538 H01L23/485 H01L25/16 H01L25/065 H01L21/58 H01L23/498
D,Y	WO 93 24956 A (CAMPENHOUT YVES VAN ; THOMSON CSF (FR); VAL CHRISTIAN (FR); ELA MED) 9 décembre 1993 * page 5, alinéa 11 - page 6, ligne 10; revendications 1,2 *	1-11	
A	GDULA M ET AL: "A HIGH-SPEED, HIGH-DENSITY MULTIPROCESSING MODULE MADE WITH THE GENERAL ELECTRIC HIGH-DENSITY INTERCONNECT TECHNOLOGY" DIGITAL SIGNAL PROCESSING, vol. 2, no. 4, 1 octobre 1992, pages 247-251, XP000393639 * figure 4 *	1-11	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6) H01L
A	EP 0 465 196 A (GEN ELECTRIC) 8 janvier 1992 * page 3, ligne 1 - page 5, ligne 46; figure 1 *	1-11	
A	DE 39 25 604 A (SIEMENS AG) 7 février 1991 * le document en entier *	1-11	
		-/-	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche	Date d'achèvement de la recherche	Examinateur	
BERLIN	15 mars 1999	Munnix, S	
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		& : membre de la même famille, document correspondant	



## Office européen des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 98 40 3144

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
A	FR 2 599 893 A (RICOH KK) 11 décembre 1987 * abrégé; figure 1 *	1,8	
A	EP 0 450 948 A (GEN ELECTRIC) 9 octobre 1991 * abrégé; figure 2 *	3,9	
A	EP 0 384 704 A (GEN ELECTRIC) 29 août 1990 * page 3, ligne 22 - page 4, ligne 23 *	4	
A	US 5 434 751 A (COLE JR HERBERT S ET AL) 18 juillet 1995 * colonne 6, ligne 34 - colonne 10, ligne 15; figures 1,2 *	5,10	
A	WO 81 02367 A (MOSTEK CORP) 20 août 1981 * page 6, ligne 20 - page 7, ligne 16; figures 2,3 *	6,11	
A	US 5 177 594 A (CHANCE DUDLEY A ET AL) 5 janvier 1993 * colonne 4, ligne 10 - colonne 5, ligne 23; figures 1,2 *	6,11	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)
	-----		
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche	Date d'achèvement de la recherche	Examinateur	
BERLIN	15 mars 1999	Munnix, S	
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul	T : théorie ou principe à la base de l'invention		
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie	E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date		
A : arrête-plan technologique	D : cité dans la demande		
O : divulgation non-écrite	L : cité pour d'autres raisons		
P : document intercalaire	& : membre de la même famille, document correspondant		

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE  
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 98 40 3144

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

15-03-1999

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
WO 9324956	A	09-12-1993	FR	2691836 A	03-12-1993
			EP	0642699 A	15-03-1995
			JP	7508615 T	21-09-1995
EP 0465196	A	08-01-1992	US	5241456 A	31-08-1993
			JP	4233264 A	21-08-1992
DE 3925604	A	07-02-1991	AUCUN		
FR 2599893	A	11-12-1987	JP	63260041 A	27-10-1988
			JP	63081095 A	11-04-1988
			JP	63099995 A	02-05-1988
			US	5048179 A	17-09-1991
EP 0450948	A	09-10-1991	US	5200810 A	06-04-1993
			JP	4251969 A	08-09-1992
EP 0384704	A	29-08-1990	JP	2271639 A	06-11-1990
			US	5348607 A	20-09-1994
			US	5225023 A	06-07-1993
US 5434751	A	18-07-1995	AUCUN		
WO 8102367	A	20-08-1981	CA	1165465 A	10-04-1984
			FR	2476389 A	21-08-1981
			GB	2083285 A,B	17-03-1982
			JP	57500220 T	04-02-1982
			JP	63056706 B	09-11-1988
			NL	8020334 T	04-01-1982
US 5177594	A	05-01-1993	JP	6342871 A	13-12-1994
			JP	7070672 B	31-07-1995

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**